

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-007313

(43)Date of publication of application : 11.01.2002

(51)Int.Cl.

G06F 13/36

(21)Application number : 2000-182270

(71)Applicant : SONY CORP

(22)Date of filing : 16.06.2000

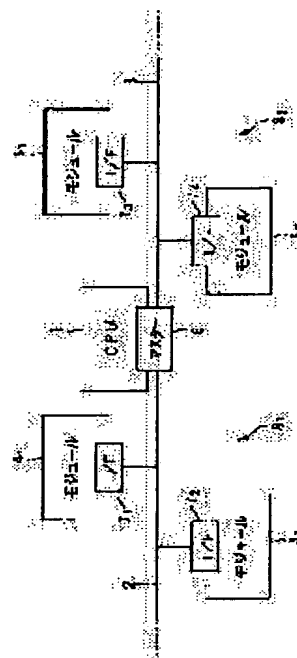
(72)Inventor : SUZUKI MASAMI

## (54) DEVICE AND METHOD FOR PROCESSING DATA, AND BUS CONTROLLER

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To enable the operation to be performed with a little power while enabling the communications between respective modules to be secured by suppressing the wiring of a bus to the irreducible minimum.

**SOLUTION:** A master 6 executes the exchange of data with modules 41, 42, 51 and 52 on first and second external buses 2 and 3 and executes the exchange of data mutually among the respective modules 41, 42, 51 and 52 on the first and second external buses 2 and 3. The master 6 sends transmitting side and receiving side address information onto the external buses 2 and 3 and can directly exchange data between the modules on the same or different external buses 2 and 3.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

(19)日本国特許庁 (JP)

(12)公開特許公報 (A)

(11)特許出願公開番号

特開2002-7313

(P 2 0 0 2 - 7 3 1 3 A)

(43)公開日 平成14年 1月11日(2002.1.11)

(51)Int.Cl.<sup>7</sup> 識別記号 F I テーマコード (参考)  
G06F 13/36 310 G06F 13/36 310 E 5B061

審査請求 未請求 請求項の数 9 O L (全18頁)

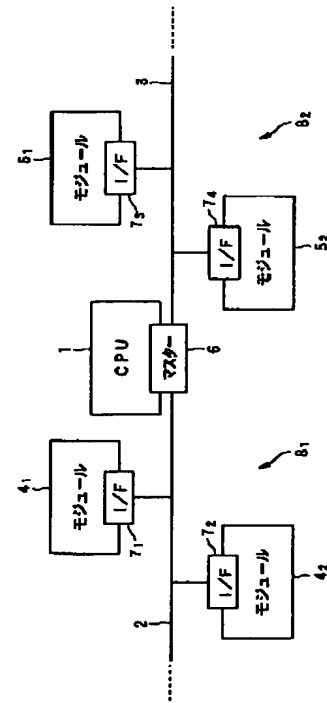
(21)出願番号	特願2000-182270(P 2000-182270)	(71)出願人	000002185 ソニー株式会社 東京都品川区北品川 6 丁目 7 番35号
(22)出願日	平成12年 6 月16日(2000.6.16)	(72)発明者	鈴木 昌巳 東京都品川区北品川 6 丁目 7 番35号 ソニ ー株式会社内
		(74)代理人	100067736 弁理士 小池 晃 (外 2 名) F ターム(参考) 5B061 BB03 DD01 FF04 GG11 GG15 SS01 SS03

(54)【発明の名称】 データ処理装置、データ処理方法及びバス制御装置

(57)【要約】

【課題】 バスの配線を必要最小限に抑えて各モジュール間での通信を可能としながら、省電力で動作可能にする。

【解決手段】 マスター 6 は、第 1 及び第 2 の外部バス 2, 3 上のモジュール 4<sub>1</sub>, 4<sub>2</sub>, 5<sub>1</sub>, 5<sub>2</sub> と自己の間でのデータの送受信を実行し、また、第 1 及び第 2 の外部バス 2, 3 上の各モジュール 4<sub>1</sub>, 4<sub>2</sub>, 5<sub>1</sub>, 5<sub>2</sub> 同士のデータの送受信を実行させる。マスター 6 は、送信側及び受信側のアドレス情報を外部バス 2, 3 上に送出して、同一或いは異なる外部バス 2, 3 上にあるモジュール間での直接的なデータの送受信を可能としている。



## 【特許請求の範囲】

【請求項1】 モジュールがそれぞれ接続された複数のバスと、  
上記複数のバスが接続され、異なるバスに接続されているモジュール間で、当該異なるバス間で直接的にデータの転送を行わせるバス制御手段とを備えたことを特徴とするデータ処理装置。

【請求項2】 上記バス制御手段は、同一バスに接続されているモジュール間で、当該同一バスにより直接的にデータの転送を行わせることを特徴とする請求項1記載のデータ処理装置。

【請求項3】 上記バスに接続され、上記バスを利用したデータの送信側又は受信側を示すアドレス情報に基づいて、モジュールからのデータをバス上に送信し、又はバス上のデータをモジュールに取り込むインターフェース手段を各モジュールに備え、  
上記バス制御手段は、各バス上に上記送信側及び受信側を示すアドレス情報を送出して、送信側のアドレス情報を受けた送信側のインターフェース手段から受信側のアドレス情報を受けた受信側のインターフェース手段へデータの転送を行わせることを特徴とする請求項1記載のデータ処理装置。

【請求項4】 バスを制御するための、少なくともバス幅の情報を含むバス特性に基づく複数の制約があり、  
上記バス制御手段は、接続されたバスに対応する一の制約に応じて構成されていることを特徴とする請求項1記載のデータ処理装置。

【請求項5】 異なるバスに接続されているモジュール間で、当該異なるバス間で直接的にデータの転送を行わせることを特徴とするデータ処理方法。

【請求項6】 モジュールがそれぞれ接続されたバスが接続される複数のバス接続部と、  
上記バス接続部に接続された異なるバスに接続されているモジュール間で、当該異なるバス間で直接的にデータの転送を行わせるバス制御手段とを備えたことを特徴とするバス制御装置。

【請求項7】 上記バス制御手段は、同一バスに接続されているモジュール間で、当該同一バスにより直接的にデータの転送を行わせることを特徴とする請求項6記載のバス制御装置。

【請求項8】 バスを利用したデータの送信側又は受信側を示すアドレス情報に基づいて、モジュールからのデータをバス上に送信し、又はバス上のデータをモジュールに取り込むバスインターフェース手段がバスに接続されており、  
上記バス制御手段は、各バス上に上記送信側及び受信側のアドレス情報を送出して、送信側のアドレス情報を受けた送信側のインターフェース手段から受信側のアドレス情報を受けた受信側のインターフェース手段へデータの転送を行わせることを特徴とする請求項6記載のバス

制御装置。

【請求項9】 バスを制御するための、少なくともバス幅の情報を含むバス特性に基づく複数の制約があり、  
上記バス制御手段は、接続されたバスに対応する一の制約に応じて構成されていることを特徴とする請求項6記載のバス制御装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は、バスネットワークにおいてデータを処理するためのデータ処理装置及びデータ処理方法、並びにバスネットワークのバスを制御するバス制御装置に関する。

## 【0002】

【従来の技術】 コンピュータシステム（或いはデータ処理システム）は、例えば、複数のモジュール（プロセッサ）を備え、各種の処理を実現している。このようなコンピュータシステムでは、通常、各モジュールはバスによりデータの送受信等を行っている。例えば、マルチプロセッサ・コンピュータ・システムは、複数のモジュールを統合して、単一モジュールがもたらす能力を上回る処理能力を増強している。

【0003】 従来より、このようなシステムを実現するために種々のバスネットワークのトポロジーが提案されている。SUN MICROSYSTEMS社は、特開平10-91602号公報において、「限定された自由度のスイッチング・アレンジメントを用いて少数のプロセッサを備えたマルチプロセッサシステムの相互接続システム」として、そのようなトポロジーの一形態を提案している。

## 【0004】

【発明が解決しようとする課題】 ところで、データ処理システムは、バスネットワークのトポロジーを容易な構成としつつも、各モジュール間の通信を最適なものとして、省電力で動作がなされることが望ましい。

【0005】 通常のバスでは、ほとんどがハードウェアブロック（モジュール）をひとつのバスでつないでしまうため、ときとして通信する必要のないハードウェアブロック間の配線まで充電して消費電力を無駄にすることがある。

【0006】 また、無駄のないハードウェアブロック間の配線構成としては、ポイント-toポイント（Point-to-Point）といった構成もあるが、全てのハードウェアブロックをポイント-toポイントでつないでしまうとバスの使用効率が下がり、基板上及びウェアハ上において場所をとってしまう。例えば、接続をポイント-toポイントとして、データ送信を行うハードウェアブロック間同士 of 全てについてバスで接続してしまうと、基板上或いはウェアハ上において場所をとってしまい、バスの有効利用といえなくなる。

【0007】 そこで、本発明は、上述の実情に鑑みてな

3

されたものであり、バスの配線を必要最小限に抑えて各モジュール間での通信を可能としながら、省電力で動作可能なデータ処理装置及びバス制御方法を提供することを目的としている。

【0008】

【課題を解決するための手段】本発明に係るデータ処理装置は、上述の課題を解決するために、モジュールがそれぞれ接続された複数のバスと、複数のバスが接続され、異なるバスに接続されているモジュール間で、当該異なるバス間で直接的にデータの転送を行わせるバス制

10

御手段とを備えている。  
【0009】このような構成を備えたデータ処理装置は、バス制御手段により、異なるバスに接続されているモジュール間で、当該異なるバス間で直接的にデータの転送を行わせる。これにより、データ処理装置は、無駄な配線（バス）を必要最小限に抑えて、各モジュール間での通信を可能とする。

【0010】また、本発明に係るデータ処理方法は、上述の課題を解決するために、異なるバスに接続されているモジュール間で、当該異なるバス間で直接的にデータの転送を行わせる。これにより、データ処理方法は、無駄な配線（バス）を必要最小限に抑えて、各モジュール間での通信を可能とする。

20

【0011】また、本発明に係るバス制御装置は、上述の課題を解決するために、モジュールがそれぞれ接続されたバスが接続される複数のバス接続部と、バス接続部に接続された異なるバスに接続されているモジュール間で、当該異なるバス間で直接的にデータの転送を行わせるバス制御手段とを備えている。

【0012】このような構成を備えたバス制御装置は、バス制御手段により、バス接続部に接続された異なるバスに接続されているモジュール間で、当該異なるバス間で直接的にデータの転送を行わせる。これにより、バス制御装置は、無駄な配線（バス）を必要最小限に抑えて、各モジュール間での通信を可能とする。

30

【0013】  
【発明の実施の形態】以下、本発明の実施の形態について図面を用いて詳しく説明する。この実施の形態は、本発明を、複数のモジュールによって構成されるデータ処理システムに適用したものである。

【0014】図1に示すように、CPU1と、このCPU1に接続されている2本の外部バス2、3と、2本の外部バス2、3それぞれに接続されている複数のモジュール4<sub>1</sub>、4<sub>1</sub>、5<sub>1</sub>、5<sub>1</sub>とを備えている。データ処理システムにおいて、CPU1は主制御部として構成され、複数のモジュール4<sub>1</sub>、4<sub>1</sub>、5<sub>1</sub>、5<sub>1</sub>は従属制御部或いはペリフェラルチップを構成している。このモジュール4<sub>1</sub>、4<sub>1</sub>、5<sub>1</sub>、5<sub>1</sub>は、個々が所望の処理をするために構成されているが、CPU1も信号処理を行う意味ではモジュールである。以下の説明では、特に言及しない限

40

4

り、モジュール4<sub>1</sub>、4<sub>1</sub>、5<sub>1</sub>、5<sub>1</sub>にはCPU1を含めないものとして扱う。

【0015】主制御部とされるCPU1は、システム全体を制御可能なモジュールである。このCPU1は、バスインターフェースとしてのマスター（バスマスター）6を備えており（例えば、内蔵しており）、マスター6により外部バス2、3を制御してデータの送受信等の種々の処理等を行う。具体的には、CPU1は、このマスター6により、第1及び第2の外部バス2、3上の各モジュール4<sub>1</sub>、4<sub>1</sub>、5<sub>1</sub>、5<sub>1</sub>との間でのデータの送受信を行うことができ、さらに、第1及び第2の外部バス2、3上の各モジュール4<sub>1</sub>、4<sub>1</sub>、5<sub>1</sub>、5<sub>1</sub>同士のデータの送受信を可能としている。そして、マスター6は、各モジュール4<sub>1</sub>、4<sub>1</sub>、5<sub>1</sub>、5<sub>1</sub>同士の間で行うデータの送受信については、異なる外部バス2、3にあるモジュール間での直接的なデータの送受信を可能としている。すなわち、この場合、マスター6は、2本の外部バス2、3が接続され、異なる外部バス2、3に接続されているモジュール間で、当該異なるバス間で直接的にデータの転送を行わせるバス制御手段としての機能を有する。

【0016】CPU1は、このようなマスター6により外部バス2、3を制御して、いわゆる中央集中調停（Arbitration）を行い、モジュール4<sub>1</sub>、4<sub>1</sub>、5<sub>1</sub>、5<sub>1</sub>に対してデータを送信し、或いはモジュール4<sub>1</sub>、4<sub>1</sub>、5<sub>1</sub>、5<sub>1</sub>間でのデータの転送を可能としている。

【0017】例えば、データ送信が行われる第1及び第2の外部バス2、3のバス幅としては、16ビット、32ビット、48ビット、・・・、128ビット等が挙げられる。例えば、外部バス2、3のバス幅は、要求されるネットワークシステムの特性等によって決定される。よって、上述のマスター6は、バス幅や動作周波数に応じて用意されている外部バス2、3に応じて用意されている。このような外部バス2、3のバス幅、それに応じたマスター6による処理手順については、後で詳述する。

【0018】第1及び第2の外部バス2、3にはそれぞれ、複数のモジュール4<sub>1</sub>、4<sub>1</sub>、5<sub>1</sub>、5<sub>1</sub>が接続されている。モジュール4<sub>1</sub>、4<sub>1</sub>、5<sub>1</sub>、5<sub>1</sub>は、それぞれがI/F7<sub>1</sub>、7<sub>1</sub>、7<sub>1</sub>、7<sub>1</sub>を介して外部バス2、3に接続されている。

【0019】I/F7<sub>1</sub>、7<sub>1</sub>、7<sub>1</sub>、7<sub>1</sub>は、マスター6からの制御情報に応じて、データの送受信を管理している。すなわち例えば、モジュール4<sub>1</sub>、4<sub>1</sub>、5<sub>1</sub>、5<sub>1</sub>は、このI/F7<sub>1</sub>、7<sub>1</sub>、7<sub>1</sub>、7<sub>1</sub>により、マスター6が送信したデータを外部バス2、3により受信し、或いは外部バス2、3によりマスター6にデータを送信する。また、場合によっては、モジュール4<sub>1</sub>、4<sub>1</sub>、5<sub>1</sub>、5<sub>1</sub>は、このI/F7<sub>1</sub>、7<sub>1</sub>、7<sub>1</sub>、7<sub>1</sub>により、バス2、3を介して、他のモジュールとデータの送受信を

行う。

【0020】システムにおいてマスター6が処理の主導権をもっており、このような意味では、I/F 7<sub>1</sub>, 7<sub>2</sub>, 7<sub>3</sub>は、マスター6からみた場合、いわゆるスレーブ (Slave) を構成している。例えば、後述するように、マスター6が初期化をした後、スレーブとされる外部バス2, 3を介してI/F 7<sub>1</sub>, 7<sub>2</sub>, 7<sub>3</sub>に各種情報が送信される。

【0021】なお、I/F 7<sub>1</sub>, 7<sub>2</sub>, 7<sub>3</sub>は、マスター6と略同様な構成となっているが、例えば、上述したようにマスター6がシステムの処理についての主導権を有しているが、そのような構成は有していない。例えば、マスター6は、データの転送を開始する前に、I/F 7<sub>1</sub>, 7<sub>2</sub>, 7<sub>3</sub>との間で同期をとるような構成、いわゆるセットアップ或いは初期化のための構成を有しているが、I/F 7<sub>1</sub>, 7<sub>2</sub>, 7<sub>3</sub>はそのようなセットアップ或いは初期化のための構成は有していない。なお、このI/F 7<sub>1</sub>, 7<sub>2</sub>, 7<sub>3</sub>及びマスター6の構成等については、後で詳述する。

【0022】また、モジュール4<sub>1</sub>, 4<sub>2</sub>, 5<sub>1</sub>, 5<sub>2</sub>としては、本発明の実施の形態であるデータ処理システムが画像処理システムであれば、コーデックエンジン (Codec Engine)、アンチウォブル (Anti-Wobble)、キャプチャーコントロール (CaptureControl)、NMV、フィルターエンジン (Filter Engine)、アウトプットコントロール (Output Control) 等が挙げられる。また、図1には、外部バス2, 3に接続されているモジュールの数を限定して示しているが、実際のシステムの構成に応じてモジュールの種類や数が決定されることはいうまでもない。

【0023】なお、以下の説明において、図1中、第1の外部バス2上のモジュールに“4<sub>1</sub>, 4<sub>2</sub>”の番号を付しているが、第1の外部バス2上の任意のモジュールを指す場合には、モジュール“4”として説明する。これと同様に、第2の外部バス3上のモジュールに“5<sub>1</sub>, 5<sub>2</sub>”の番号を付しているが、第2の外部バス3上の任意のモジュールを指す場合には、モジュール“5”として説明する。また、図1中、各モジュール4<sub>1</sub>, 4<sub>2</sub>, 5<sub>1</sub>, 5<sub>2</sub>の備えるI/Fに“7<sub>1</sub>, 7<sub>2</sub>, 7<sub>3</sub>, 7<sub>4</sub>”の番号を付しているが、任意のI/Fを指す場合には、I/F “7”として説明する。

【0024】また、第1の外部バス2に複数のモジュール4<sub>1</sub>, 4<sub>2</sub>が接続されて構成されているネットワークを第1のネットワーク8<sub>1</sub>といい、第2の外部バス3に複数のモジュール5<sub>1</sub>, 5<sub>2</sub>が接続されて構成されているネットワークを第2のネットワーク8<sub>2</sub>という。すなわち、実施の形態のデータ処理システムは、ネットワークが分離されており、それぞれ独立した第1及び第2のネットワーク8<sub>1</sub>, 8<sub>2</sub>によって構成されているといえる。このような第1及び第2のネットワーク8<sub>1</sub>, 8<sub>2</sub>を備え

たデータ処理システムは、次のように、各モジュール4<sub>1</sub>, 4<sub>2</sub>, 5<sub>1</sub>, 5<sub>2</sub>間の制御を行っている。

【0025】前提の技術として、外部バス2, 3に接続され、各モジュール4<sub>1</sub>, 4<sub>2</sub>, 5<sub>1</sub>, 5<sub>2</sub>が備えるI/F 7<sub>1</sub>, 7<sub>2</sub>, 7<sub>3</sub>, 7<sub>4</sub>は、マスター6から外部バス2, 3上へ送出されたデータの送信側又は受信側を示すアドレス情報に基づいて、対応される一のモジュール4<sub>1</sub>, 4<sub>2</sub>, 5<sub>1</sub>, 5<sub>2</sub>のデータを外部バス2, 3上へ送信し、又は外部バス2, 3上のデータを一のモジュール4<sub>1</sub>, 4<sub>2</sub>, 5<sub>1</sub>, 5<sub>2</sub>に取り込むバスインターフェース手段として機能するようになっている。そして、マスター6は、各モジュール4<sub>1</sub>, 4<sub>2</sub>, 5<sub>1</sub>, 5<sub>2</sub>がデータの送受信を行うためのアドレス情報を外部バス2, 3上へ送出している。ここで、アドレス情報は、外部バス上において送信側のモジュール4<sub>1</sub>, 4<sub>2</sub>, 5<sub>1</sub>, 5<sub>2</sub>、或いは受信側のモジュール4<sub>1</sub>, 4<sub>2</sub>, 5<sub>1</sub>, 5<sub>2</sub>が指定されるアドレス情報である。

【0026】I/F 7<sub>1</sub>, 7<sub>2</sub>, 7<sub>3</sub>, 7<sub>4</sub>及びマスター6が上述のように機能することにより、マスター6からアドレス情報が外部バス2, 3上へ送出され、各モジュール4<sub>1</sub>, 4<sub>2</sub>, 5<sub>1</sub>, 5<sub>2</sub>のI/F 7<sub>1</sub>, 7<sub>2</sub>, 7<sub>3</sub>, 7<sub>4</sub>にて、そのアドレス情報が受信される。

【0027】そして、送信側のアドレス情報を受けた一の該当する送信側のI/F 7は、当該I/F 7を備えたモジュールのデータを外部バス2, 3上へ送出して、受信側のアドレス情報を受けた一の該当する受信側のI/F 7は、送信側のモジュール (I/F 7) が外部バス2, 3上へ送出したデータを受信する。すなわち、マスター6からアドレス情報が外部バス2, 3上へ送出された以後、すなわち、マスター6の中央集中調停 (セットアップ或いは初期化ともいう。) 以後、該当する各モジュールは、CPU 1 (マスター6) から独立してデータの送受信を行う。このようなモジュール同士間のデータの転送処理は、同一バス上にあるモジュールで行われ、また、異なるバス上にあるモジュール間でも行われる。また、場合によっては、このような中央集中調停以後、マスター6と一のモジュール4, 5との間でデータの転送処理が行われる。このような処理については、後でさらに詳述している。

【0028】上述のような形態として各モジュール4<sub>1</sub>, 4<sub>2</sub>, 5<sub>1</sub>, 5<sub>2</sub>間でデータの送受信が可能となることで、次のような効果が生まれる。

【0029】ユーザ (セット設計者) は、設計自由度を高くしてトポロジーの定義をできるので、バスネットワークは、製品の価格、特性、及び出力等の要求に応じて部分的最適化が可能とされる。

【0030】また、データ処理システムは、互いにデータの送受信をするモジュール同士を第1及び第2の外部バス2, 3それぞれに備えることにより、消費電力を抑えることができるようになる。

【0031】例えば、従来において、2つのモジュールが1本の外部バスによりデータの送受信を行う場合には、常時、各モジュールからの転送バンド幅を確保しておく必要がある。例えば、図2中(B)に示すように、第1のモジュール101と第2のモジュール102との間で400Mbpsの転送バンド幅でデータを送受信する場合には、外部バス103は、計800Mbpsの転送バンド幅が必要とされる。これは、CPU100を介して第1のモジュール101と第2のモジュール102との間でデータの送受信を行うとすると、CPU100と第1及び第2のモジュール101、102との間で常時400Mbpsの転送バンド幅を確保しておく必要があるからである。

【0032】このようにネットワークが構成された場合、第1のモジュール101と第2のモジュール102とがデータの送受信を行わない場合、例えば、第1のモジュール101がCPU100との間でのみデータの送信を行う場合でも、常に800Mbpsの転送バンド幅からなる外部バス103を駆動させてデータを送信する必要があり、必要以上の駆動により消費電力に無駄がでてしまう。

【0033】一方、本発明が適用された場合、図2中(A)に示すように、第1のモジュール4と第2のモジュール5とを、各外部バス2、3にそれぞれ接続し、第1のモジュール4と第2のモジュール5との間でデータの送受信を行うことができる。例えば、第1及び第2の外部バス2、3の転送バンド幅を400Mbpsとすれば、第1のモジュール4と第2のモジュール5との間で、400Mbpsでデータを転送することができる。

【0034】そして、このようにネットワークを構成した場合、CPU1と第1のモジュール4との間でデータの送受信を行うときであっても、第1の外部バス2を駆動するだけで、そのようなデータの送受信が可能になる。よって、必要な転送バンド幅を低く抑えて、消費電力を抑えたデータの転送が可能になる。

【0035】また、データを送受信する関係にないモジュールを第1及び第2の各外部バスそれぞれに別々に配置することでも省電力によるデータ転送が実現される。

【0036】例えば、図1に示すデータ処理システムにおいて、第1の外部バス2に接続されている第1のモジュール4<sub>1</sub>と第2のモジュール4<sub>1</sub>とが互いにデータの送受信を行うことが必要な関係にあるモジュールであり、第2の外部バス3に接続されている第3のモジュール5<sub>1</sub>と第4のモジュール5<sub>1</sub>とが互いにデータの送受信を行うことが必要な関係にあるモジュールであると仮定する。すなわち、この仮定では、互いに分離された関係とされている第1及び第2のネットワーク8<sub>1</sub>、8<sub>1</sub>がそれぞれ、互いにデータの送受信が必要なモジュール群によって構成されていることになる。

【0037】このような構成の場合、第1のモジュール

4<sub>1</sub>と第2のモジュール4<sub>1</sub>との間でデータの送受信を行うときには、第2の外部バス3を駆動することなく第1の外部バス2のみの駆動でデータの送受信が実現される。これは、第2のネットワーク8<sub>1</sub>を構成する第3のモジュール5<sub>1</sub>と第4のモジュール5<sub>1</sub>との間でデータの送受信を行うときも同様である。よって、データを送受信するモジュール群からなる第1及び第2のネットワーク8<sub>1</sub>、8<sub>1</sub>をそれぞれ構成することにより、ネットワークへの電力供給を少なくして、モジュール間のデータの送受信を実現することができる。換言すると、製品が消費電力よりも特性(Performance)が必要になる場合には高転送レートが必要とされるチップ(モジュール)群を別々のメインネットワークに配置することにより、バス周波数等を上げることなく、データ転送能力を向上させることができるということである。

【0038】なお、同一ネットワーク内にてモジュール間でデータの送受信を行う場合には、同一外部バス上でデータの送受信を行うことが必要になるが、上述したように、マスター6がアドレス情報を外部バス2、3に送出して行ういわゆる中央集中調停により、モジュール間でのデータの送受信が達成される。

【0039】以上、データ処理システムについて説明した。上述の実施の形態のデータ処理システムは、1つのマスター6により、第1及び第2のネットワーク8<sub>1</sub>、8<sub>1</sub>を構成する各モジュール間でデータの転送処理を行っている。次に、ネットワーク(以下、メインネットワークという。)からさらに枝分かれしたネットワーク(以下、サブネットワークという。)を備えたデータ処理システムを説明する。例えば、サブネットワークを備えたデータ処理システムは、図3に示すように構成されている。例えば、この図3に示すように、第1サブネットワーク10<sub>1</sub>は、第1のメインネットワーク8<sub>1</sub>に接続され、第2サブネットワーク10<sub>1</sub>は、第2のメインネットワーク8<sub>1</sub>に接続されている。

【0040】第1のサブネットワーク10<sub>1</sub>は、第1のメインネットワーク8<sub>1</sub>を構成するモジュール4<sub>1</sub>、4<sub>1</sub>、4<sub>1</sub>のうちの一のモジュール4に第1のサブマスター11が備えられることにより(内蔵されることにより)実現されており、第1のサブマスター11に複数のモジュール11<sub>1</sub>、11<sub>1</sub>を備えた外部バス14が接続されて構成されている。また、第2のサブネットワーク10<sub>1</sub>は、第2のメインネットワーク8<sub>1</sub>を構成するモジュール5<sub>1</sub>、5<sub>1</sub>、5<sub>1</sub>のうちの一のモジュール5に第2のサブマスター15が備えられることにより(内蔵されることにより)実現されており、第2のサブマスター15に複数のモジュール16<sub>1</sub>、16<sub>1</sub>を備えた外部バス18が接続されて構成されている。

【0041】なお、第1のサブネットワーク10<sub>1</sub>を構成する各モジュール12<sub>1</sub>、12<sub>1</sub>は、I/F13<sub>1</sub>、13<sub>1</sub>を介して外部バス14と接続されており、また、第

2のサブネットワーク10<sub>i</sub>を構成する各モジュール16<sub>i</sub>、16<sub>j</sub>は、I/F17<sub>i</sub>、17<sub>j</sub>を介して外部バス18と接続されている。また、サブネットワークを可能とするサブマスター11、15は、メインネットワーク上の任意のモジュールに内蔵することができる。

【0042】第1及び第2のサブマスター11、15は、上述のマスター（以下、メインマスターという。）6の有する機能と異なり、モジュール同士でデータ転送を行うことを必要としないモジュールを制御する機能を有することに留まっている。すなわち、第1及び第2のサブネットワーク10<sub>i</sub>、10<sub>j</sub>上のモジュールは、他のメインネットワーク8<sub>i</sub>、8<sub>j</sub>又はサブネットワーク10<sub>i</sub>、10<sub>j</sub>のモジュールとデータ交換をしない。

【0043】データ処理システムは、サブマスター11、15によって制御可能とされるこのようなサブネットワーク10<sub>i</sub>、10<sub>j</sub>を備えることにより、モジュール間でデータの送受信を必要とせず機能するモジュール12<sub>i</sub>、12<sub>j</sub>、16<sub>i</sub>、16<sub>j</sub>をサブマスター11、15の管理下の第1及び第2のサブネットワーク10<sub>i</sub>、10<sub>j</sub>におき、これらモジュール12<sub>i</sub>、12<sub>j</sub>、16<sub>i</sub>、16<sub>j</sub>を制御する。これにより、データ処理システムは、メインネットワーク8<sub>i</sub>、8<sub>j</sub>を物理的に短くすることが可能となり、容量を少なくすることができようになるので、メインネットワーク8<sub>i</sub>、8<sub>j</sub>内における各モジュール4<sub>i</sub>～4<sub>j</sub>、5<sub>i</sub>～5<sub>j</sub>間のデータ送信を高速で行うことができるようになる。

【0044】なお、例えば、次のような条件を前提として、サブネットワーク10<sub>i</sub>、10<sub>j</sub>を備えたデータ処理システムを構築することとしてもよい。

【0045】サブネットワーク10<sub>i</sub>、10<sub>j</sub>は、上述したように、メインネットワーク8<sub>i</sub>、8<sub>j</sub>に直接接続されていることを条件とする。また、サブネットワーク10<sub>i</sub>、10<sub>j</sub>はさらに枝分かれして新たなネットワーク、いわゆるサブ・サブネットワークを作ってはならないことを条件とする。さらに、サブネットワーク10<sub>i</sub>、10<sub>j</sub>とメインネットワーク8<sub>i</sub>、8<sub>j</sub>とはループを構成してはならないことを条件とする。すなわち、メインマスター6及びサブマスター11、15が内蔵されるモジュール以外のモジュールは、異なるネットワークにおいて共有されないようにする。例えば、ループを作ってしまうと、モジュールからどの方向にデータが流れるのかわからなくなるからであり、ループを作らないことでこのようなことを防止することができるからである。

【0046】また、メインマスター6或いはサブマスター11、15に接続される外部バスの数は、最大で2本とする。すなわち、メインマスター6或いはサブマスター11、15は、外部バスとのインターフェースを最大で2個有するようにする。例えば、3本以上の外部バスをメインマスター6或いはサブマスター11、15に接続することも理論上は可能であるが、接続される外部バ

スの数を最大で2本にすることで、例えば、処理が煩雑になることを防止することができる。

【0047】このような条件を前提としたネットワークにより構築されたデータ処理システムは、例えば、モジュールを適切に制御することができるようになる。

【0048】図4には、サブネットワークを備えているデータ処理システムの具体的な構成を示している。このデータ処理システムは、例えば、いわゆるカムコーダ等の撮像装置である。

【0049】この図4に示す例では、CPU1が内蔵するメインマスター6により外部バス2が制御される第1のメインネットワーク8<sub>i</sub>は、コーデックエンジン (Codec Engine) 4<sub>i</sub>、アンチウォブル (Anti-Wobble) 4<sub>j</sub>及びキャプチャーコントロール (Capture Control) 4<sub>k</sub>をモジュールとして備えている。また、第1のメインネットワーク8<sub>i</sub>と同様、メインマスター6により外部バス3が制御される第2のメインネットワーク8<sub>j</sub>は、フィルターエンジン (Filter Engine) 5<sub>i</sub>、NVM (NonVolatile Memory、不揮発メモリー) 5<sub>j</sub>及びアウトプットコントロール (Output Control) 5<sub>k</sub>をモジュールとして備えている。

【0050】そして、第1のサブネットワーク10<sub>i</sub>は、第1のメインネットワーク8<sub>i</sub>のキャプチャーコントロール4<sub>k</sub>に内蔵された第1のサブマスター11により外部バス14が制御されており、当該外部バス14上に、CCD (Charge Coupled Device) からの信号処理をするA/Dコンバータ12<sub>i</sub>を備えている。また、第2のサブネットワーク10<sub>j</sub>は、第2のメインネットワーク8<sub>j</sub>のアウトプットコントロール5<sub>k</sub>に内蔵された第2のサブマスター15により外部バス18が制御されており、当該外部バス18上に、モータ21を駆動するモータドライバ16<sub>j</sub>及びLCD22を駆動するLCDドライバ16<sub>k</sub>を備えている。

【0051】このようなデータ処理システムにおいて、コーデックエンジン4<sub>i</sub>はキャプチャーコントロール4<sub>k</sub>としかデータの転送を行わないとの限定ができれば、フィルターエンジン5<sub>i</sub>、NVM5<sub>j</sub>及びアウトプットコントロール5<sub>k</sub>をコーデックエンジン4<sub>i</sub>及びキャプチャーコントロール4<sub>k</sub>と同じ第1のメインネットワーク8<sub>i</sub>上に接続する必要はなく、フィルターエンジン5<sub>i</sub>、NVM5<sub>j</sub>及びアウトプットコントロール5<sub>k</sub>により第2のメインネットワーク8<sub>j</sub>を構成しても、各モジュールは正常に動作するようになる。

【0052】そして、メインネットを第1のメインネットワーク8<sub>i</sub>と第2のメインネットワーク8<sub>j</sub>とに分離することにより、コーデックエンジン4<sub>i</sub>とキャプチャーコントロール4<sub>k</sub>との間で転送を行うときには、第2のメインネットワーク8<sub>j</sub>の容量分を充電しなく済むので、省電力でデータ処理システムを動作させることができるのである。

【0053】次に、各モジュール間でデータの送受信をするために、マスター（メインマスター）6が行う処理について具体的に説明する。マスター6の行う処理とは、例えば、上述したように、外部バス2、3上にアドレス情報を送出して、各モジュール4<sub>1</sub>、4<sub>2</sub>、5<sub>1</sub>、5<sub>2</sub>の間でデータの送受信を行わせるための処理である。

【0054】例えば、一般的には、複数のモジュールによりネットワークを構成する場合、各モジュール（CPUを含む。）のインターフェースは、適応性（Flexibility）を保ちながら定義することが可能とされ、ハードウェアブロック（モジュール）の再利用に貢献できることが好ましいといえる。

【0055】マスター6は、このようなインターフェースの要求を実現すべく、上述したようなトポロジーの変更（自由度が高いこと）以外に種々のネットワークへの適応性を確保するために、バス幅と動作周波数を変更することができるようにしてある。すなわち、ネットワークは少なくともバス幅や動作周波数等のバス特性によりある程度制約されており、マスター6は、このようなバス特性に応じて複数種類用意されることで、各種のネットワークへの適応性を獲得している。

【0056】具体的には、マスター6は、その設定が可変とされたバスドライバやステートマシン等を備えている。ここで、設定が可変とは、システムに組み込まれた後に、処理に応じてダイナミックに可変とされることを意味するものではなく、採用される（組み込まれる）システムに応じて設定が可変とされているということである。すなわち、バスドライバやステートマシンの設定値の異なるマスターが予め個々の物（例えばチップ）として用意されていることを意味し、例えば、セット設計者は、バスのバス幅や動作周波数に応じて、所望の値に設定してあるバスドライバやステートマシンが組み込まれたマスター6によりネットワークを設計することができるということを意味している。

【0057】マスター6は、種々の回路によって構成されているが、一部の構成回路であるこのようなバスドライバやステートマシン等の設定を可変とすることにより、消費電力及びチップサイズを抑えることを実現している。以下に、バスのバス幅及び動作周波数に応じたドライバ（バスドライバ）及びステートマシンの例を示す。

【0058】例えば、図5に示すように、バス幅が16ビット、動作周波数が25MHzの外部バスによりネットワークを構成する場合には、モジュールのインターフェースとされるマスター6或いはI/F7は、処理ビットが16ビット、動作周波数が25MHzのバスドライバ30と、処理ビットが16ビットのステートマシン32とを備えている。

【0059】また、マスター6については、接続されている2本の第1及び第2の外部バス2、3を制御するた

めに、図5に示すように、第1及び第2の外部バス2、3それぞれに対応して、バスドライバ30及びステートマシン31を2セット備えている。

【0060】そして、マスター6やI/F7は、同様に、例えば図6中（A）乃至（C）、及び図7中（A）乃至（C）に示すように、バスのバス幅や動作周波数に応じて設定されたバスドライバ30やステートマシン31を備えている。図6中（A）乃至（C）、及び図7中（A）乃至（C）に示すように、マスター6やI/F7は、バス幅が16ビット、32ビット、48ビット～128ビット及び動作周波数が25MHz、50MHz並びに100MHzの外部バスが用意されていることに

対応して、16ビット～128ビット内の一の処理ビットと25MHz～100MHz内の一の動作周波数との組み合わせとしてのバスドライバ30と、32ビット～128ビット内の一の処理ビットに決定されているステートマシン31と備えている。

【0061】ステートマシン31についてさらに詳述する。ステートマシン31は、バス信号線の数を抑えるために、全てのモジュール（内部バスの場合はブロック）の間でデータ転送のためのタイミングが常に同期されている同期型として構成されている。ステートマシン31は、マスター6を含めて各モジュールのI/F7に内蔵されており、マスター6及びI/F7のステートマシン31は、常に互いが同期して動作する。例えば、ステートマシン31は、所定のタイミング（サイクル毎）で処理を決定するシーケンサであり、クロック（タイマ）に基づいて、各サイクルにおける処理を実行している。

【0062】そして、マスター6のステートマシン31については、他のインターフェース（他のモジュールのインターフェース）と同期している送出タイミング（ここでは、サイクルという。）で各モジュール間でデータ転送を開始させるため、すなわち中央集中調停を行うため、アドレス情報を外部バス2、3上に送出する機能を有している。

【0063】図8及び図9には、バス幅が16ビット～128ビットの外部バス2、3に対応して用意された種々のステートマシン31の処理を示しており、各サイクルにおけるデータの送出手順を示している。ここで、図8中（A）乃至（C）には、データ転送モードがパススルー（Pass thru）モードによるものを示し、図9中（A）乃至（C）には、データ転送モードがバースト（Burst）モードによるものを示している。パススルーモードとは、モジュール（I/F7）とCPU（マスター6）との間でデータ転送を行うモードであり、また、バーストモードとは、モジュール（I/F7）間でデータ転送を行うモードである。

【0064】また、図8中（A）乃至（C）についての違い、及び図9中（A）乃至（C）についての違いは、ネットワークに使用される外部バス2、3のバス幅が1

10

20

30

40

50



6ビット、32ビット、48～128ビットである場合の違いである。

【0065】また、図8及び図9に示すサイクルは、割り込み要求 (Interrupt Request) がモジュール (ペリフェラルチップ、Peripheral Chip) からCPU1のマスター6に対して発生した時点から、アドレス情報の転送処理を開始して、モジュール或いはCPU1において実際に必要とされるデータが外部バス2, 3上へ送出されるまでのサイクルを示している。

【0066】先ず、図8中 (A) に示すデータ転送モードがバーストモードであり、外部バス2, 3のバス幅が16ビットの場合の処理を具体的に説明する。

【0067】モジュール (周辺チップ、Peripheral Chip) から割り込み要求 (“int req”) があると (第1サイクル)、マスター (“Mstr”) 6は、第2サイクルにて、アドレス情報を外部バス2, 3上へ送出する。例えば、本例では、アドレス情報が32ビットで表現されることを前提としており、このようなことから、続く第3サイクルにて続くアドレス情報を外部バス2, 3上へ送出する。第2及び第3サイクルは、アドレス情報を外部バス2, 3上へ送出して調停 (Arbitration) をすることから、いわゆる調停サイクルとしての意味をもつ。

【0068】アドレス情報は、マスター6 (CPU1) の通信の相手になるモジュールを特定する情報であり、このアドレス情報を受けた該当する一のモジュール (I/F7) は、第4サイクル以降にて、マスター6との間で、各サイクルに割り当てて、データの送受信を行う。例えば、第4サイクル以降では、先ず (例えば第4サイクルにて)、送受信されるデータの大きさ (転送バイト数) の情報がデータの受信先に送られ、その後のサイクル (例えば第5サイクル) にて、実際のデータの転送がなされる。

【0069】また、図8中 (B) に示す外部バスのバス幅が32ビットの場合には、マスター6は、第1サイクルにてモジュール (I/F7) からの割り込み要求があると、第2サイクルにて、アドレス情報を外部バス2, 3上へ送出する。ここで、バス幅が32ビットであることから、アドレス情報が32ビットである場合には、マスター6は、分割することなくアドレス情報の全部を第2サイクルにて外部バス2, 3上へ送出することができる。アドレス情報を受けた該当する一のモジュール (I/F7) は、第3サイクル以降にて、マスター6との間で、各サイクルに割り当てて、データの送受信を行う。

【0070】また、外部バス2, 3のバス幅が48ビット、64ビット、・・・又は128ビットの場合には、図8中 (C) に示すように、マスター6は、第2サイクルにて、アドレス情報を分割することなく外部バス2, 3上へ送出して、第3以降にて、アドレス情報を受けた該当する一のモジュール (I/F7) とデータの送受信を行う。

【0071】なお、システムに応じて、実際のデータの転送処理に関して制約を課すこともできる。例えば、調停が完了して実際のデータの転送処理が可能な状態とされた場合でも、ある程度の制約を課して処理を開始するというようにである。具体的には、これは、バス・タイミングを考えたとき、同じ制御信号を使うと、リードサイクルをアドレスサイクル (アドレス情報の送信サイクル) の直後に実行することができないような場合にする処理である。

【0072】例えば、この図8中 (C) に示す例のように、第2サイクルまでに調停が完了して、第3サイクルからデータの転送処理を開始することがきるが、第4サイクルからしかデータの読み込み処理 (read) をすることができないような場合には、第3サイクルにて書き込み処理 (write) をして第4サイクル以降にてデータの書き込み処理を行うようにする。

【0073】一方、バーストモードは、次のようになる。バーストモードでは、モジュール相互間でデータの送受信を行うことから、マスター6は、調停サイクルにて、送信側のモジュールのアドレス情報と、受信側のモジュールのアドレス情報とを外部バス2, 3上へ送出して、モジュール相互間のデータの送受信を開始させている。すなわち、バーストモードの場合、マスター6は、調停サイクルにて、上述したバーストモードの場合とは異なる処理を実行して、実際のデータの送受信を開始させる。

【0074】例えば、図9中 (A) に示すデータ転送モードがバーストモードであり、外部バスのバス幅が16ビットである場合には、マスター6は、第1サイクルにてモジュール (I/F7) からの割り込み要求があると、第2及び第3サイクルにて、送信側 (ソース) のアドレス情報 (図中 “src”) を外部バス2, 3上へ送出する。ここで、2サイクル分を使用してアドレス情報を送出しているのは、上述したように本発明実施の形態ではアドレス情報が32ビットであることを前提にしているからである。

【0075】続いて、マスター6は、第4及び第5サイクルにて、受信側 (ディスティネーション) のアドレス情報 (図中 “dst”) を外部バス2, 3上へ送出する。この第4及び第5サイクル、上述の第2及び第3サイクルからなる調停サイクルにて、外部バス2, 3上へのアドレス情報の送出がなされる。すなわち、第2乃至第5サイクルにて外部バス2, 3の使用権がマスター6にあり、マスター6は、この外部バス2, 3の使用権に基づいて、外部バス2, 3上へアドレス情報を送出している。

【0076】そして、マスター6からの送信側或いは受信側を特定するアドレス情報を検出した該当するモジュール (I/F7) は、第5サイクル以降にて、当該モジュール相互間でデータの送受信を開始する。すなわち、

第5サイクル以降は、外部バスの使用権がモジュール(I/F7)にあり、モジュール(I/F7)は、この外部バス2,3の使用権に基づいて、データの送受信を行う。例えば、このようにモジュール(I/F7)間で所望のデータの送受信が終了した場合には、再びその外部バス2,3の使用権は、マスター6に戻る。

【0077】また、図9中(B)に示す外部バス2,3のバス幅が32ビットの場合には、マスター6は、第1サイクルにてモジュール(I/F7)からの割り込み要求があると、第2サイクルにて、送信側のアドレス情報を外部バス2,3上に送出し、さらに、第3サイクルにて、受信側アドレスを外部バス2,3上に送出する。そして、マスター6からの送信側或いは受信側を特定するアドレス情報を検出した該当するモジュール(I/F7)は、第4サイクル以降にて、当該モジュール(I/F7)相互間でデータの送受信を開始する。

【0078】また、外部バス2,3のバス幅が48ビット、64ビット、・・・又は128ビットの場合には、図9中(C)に示すように、マスター6は、第2サイクルにて、送信側のアドレス情報を外部バス2,3上に送出し、さらに、第3サイクルにて、受信側アドレスを外部バス2,3上に送出する。そして、マスター6からの送信側或いは受信側を特定するアドレス情報を検出した該当するモジュール(I/F7)は、第4サイクル以降にて、当該モジュール(I/F7)相互間でデータの送受信を開始する。

【0079】以上、各モジュール間でデータの送受信するためのマスター(メインマスター)6が行う処理についての説明であり、データ処理システムは、このようなマスター6を備えることにより、CPU1とモジュールとの間の通信やモジュール同士間の通信を可能としている。

【0080】これにより、上述したように、マスター6に接続されている同一の外部バス2,3上のモジュール同士間での通信が可能となり、さらに、異なる外部バス2,3に接続されているモジュール同士間での通信が可能となる。

【0081】また、ステートマシン31とバスドライバ30の種類を限定することにより、システムは、トポロジー、動作周波数、バスのバス幅等の適応性を確保しながらハードウェアブロックが比較的簡単に再利用ができるものとして構築される。よって、ステートマシン31とバスドライバ30の種類を限定することは、システムの設計時間の短縮に貢献する。すなわち、例えば、システムに使用するチップ(マスター)についてのセット設計者側による設計自由度が広すぎたり、また狭すぎると、システムの設計が困難になるが、このようにある程度予め決定されていると、すなわち例えば、8割の決定がなされて、2割がセット設計者による設計が可能とされていると、構築しようとするシステムに適したチ

ップの選択が容易になされるようになり、その結果、システムの設計時間を短縮することができるようになる。

【0082】次に、上述したデータ処理システムについて、さらに具体的な構成を説明する。データ処理システムは、図10に示すように、マスターが内蔵されたCPU(CPU Chip w/BUS Master)1と、CPU1に接続されている第1及び第2のバス2,3と、第1の外部バス2上にある第1のモジュール4と、第2の外部バス3上にある第2のモジュール5とを備えている。この図10には、第1及び第2の外部バス2,3上にそれぞれ1つのモジュール4,5を備えた例を示しているが、実際には、例えば図4に示すように、外部バス2,3上には、より多くのモジュールが接続されて、データ処理システムが構成されている。

【0083】CPU1において、キューマネージャ(Queue Manager)51、優先チャンネルセレクター(Priority Channel Select)52、DMA(Dynamic Memory Access)53及び2つのバスインターフェース(Bus Interface, Bus I/f)54,55は、上述の図1等

に示したマスター6を構成している。【0084】また、第1のモジュール4において、バスインターフェース(Bus Interface, Bus I/F)61及びDMA(Direct Memory Access)62は、上述の図1等に示したI/F7を構成している。なお、第2のモジュール5は、その構成について図示されていないが、第1のモジュール5と同様に、I/F7としてのバスインターフェース(Bus Interface, Bus I/F)61及びDMA(Direct Memory Access)62を備えている。また、以下の説明では、第1のモジュール4を代表として説明する。

【0085】また、第1及び第2の外部バス2,3は、制御線(Control Line)71、キューバス(Queue Bus)72及びMUXアドレス及びデータバス(Ext MUX Address-Data BUS, Ext MUX A-D BUS)73といった三系統のバスによって構成されている。制御線71は、CPU1とモジュール4,5との間で制御信号を送信するためのバスである。例えば、制御線71は、5本の信号線によって構成されている。また、キューバス72は、割り込み信号を送信するためのバスである。また、MUXアドレス及びデータバス73は、実際のデータ等を送るためのバスである。なお、上述のCPU1がマスター6の構成として有する2つのバスインターフェース54,55は、第1及び第2の外部バス2,3に対応している。

【0086】このような構成を備えたデータ処理システムは次のように処理を行う。CPU1内のキューマネージャ51は、モジュール4から外部バス2のキューバス72を介して送られてくるキューを検出する。キューは、データ転送を要求する情報を示す。

【0087】キューマネージャ51は、種類別に検出し

たキューをバッファにため込む一方、例えば4ビットのキューID (Queue ID) として各種類を一つずつ優先チャンネルセクター52へ出力する。キューマネージャ51は、キューの処理が完了した場合、キューを送ってきた要求源に対してキューが完了したことを知らせ、処理されたキューをリセットさせる。

【0088】優先チャンネルセクター52には複数のキューが送られてきており、優先チャンネルセクター52は、そのように送られてくる複数のキューの中から優先順位を参照して一つのキューを選び出し、その選択してキューをDMA53に送る。例えば、優先チャンネルセクター52は、選択したキュー(キューID)をDMA53に送る。また、優先チャンネルセクター52は、データの転送が終了して転送終了(End Of Transfer)信号を受けた場合やキューの内容が変化した場合に、その都度、次に実行されるべき転送のキューを計算する(DMA53に送るキューIDを選択する)。ここで、転送終了信号は、後述するシーケンサ及びステートマシン(Sequencer&State Machine)から送られてくる信号である。

【0089】DMA53は、システム内のデータの転送処理を開始させる部分である。このDMA53は、図示しないシーケンサ、レジスタ(Register)54、ステートマシン(State Machine)55等を備えている。ここで、ステートマシン55は、システムに応じてその設定が決定されており、例えば、上述の図8及び図9を用いて説明したように、パススルー(Pass thru)モード、バースト(Burst)モードといった2つのデータ転送モードの何れかのデータ転送モードに決定されており、また、外部バス2,3のバス幅によりその設定値(処理ビット等)が決定されている。具体的には、ステートマシン55の設定は、システムに応じてプログラムされており、ステートマシン55は、ダイナミックに、チャンネルにより(転送キューを出したモジュール(ペリフェラル)により)、パススルーモードとバーストモードとを切り替える。

【0090】具体的には、DMA53は、優先チャンネルセクター52からのキューIDを受けて、上述したような中央集中調停等といったデータの転送のセットアップ或いは初期化(Initialization)をする。すなわち例えば、DMA53は、マスター6がする処理として図8及び図9を用いて説明したように、第1サイクルにてキューIDを受けて、第2サイクル以降の調停サイクルにて外部バス2,3にアドレス情報を送出して、モジュール4,5間同士でデータの送受信を開始させる。例えば、バスインターフェースと制御線とを制御して、外部バスへのそのようなアドレス情報の送信等を行っている。また、DMA53は、場合によってはデータの転送自体も行う。

【0091】マスター6側のDMA53の詳細な構成例

を図11に示す。このように構成されたDMA53の処理は次のようになる。

【0092】DMA53は、キュー変換テーブル(Queue Translation Table)81により、上述の優先チャンネルセクター52により選択されたキューIDをアドレスに変換する。具体的には、キュー変換テーブル81は、9ビット幅のRAM(Random Access Memory)として構成されており、4ビットのキューコード(キューID)を9ビットのアドレスとして出力する。ここでいうアドレスは、後述するRAMレジスタ82において所望のデータを選択するための情報となる。キュー変換テーブル81から出力された9ビットのアドレスは、RAMレジスタ(RAM Registers)82に入力される。

【0093】RAMレジスタ82は、アドレスに基づいて、キュー(要求)された転送に必要なパラメータを実行レジスタ83に移動させる。例えば、RAMレジスタ82は、必要なパラメータとして、データ送信側のモジュールのアドレス情報を示すソースアドレス(Source Address)、データ受信側のモジュールのアドレス情報を示すディスティネーションアドレス(Destination Address)、データの転送量(例えば、転送バイト数(図中の「# of Byte」))、及びそのほかの制御ビット等を移動させる。

【0094】実行レジスタ83は、初めに、初期化シーケンス(Initialization Sequence)を実行してRAMレジスタ82により得たアドレス情報等を外部バス2,3上に送出して、例えば、それからSDRAMのようなバーストデータ(BURSTData)転送を行う。具体的には、バーストデータ転送中は、MUXバス73上に送らずに、常にデータを連続させて送る。なお、初期化シーケンスの説明は省略する。

【0095】また、実行レジスタ83には、テンプレレジスタ(Temp Register)84が接続されている。実行レジスタ83は、転送最中であっても、割り込み処理により優先順位の高いキューの内容を最優先に実行して転送処理を行ようになされており、テンプレレジスタ84は、高い優先順位の転送処理が実行されている間、低い優先順位で実行途中のデータ転送の途中パラメータを待ち状態或いは待避状態(Suspend)として保持する。そして、テンプレレジスタ84は、高い優先順位の転送が終了してから、待ち状態にした途中パラメータを実行レジスタ83の戻して、これにより実行レジスタ83は、転送途中の処理を再開する。

【0096】また、データ転送の実行中には、シーケンサ及びステートマシン(Sequencer&State Machine)85は、現在実行されているキューの4ビットのIDを優先チャンネルセクター52にフィードバックさせる。

【0097】ここで、シーケンサ及びステートマシン85は、上述したように、システム毎に変わる部分であ

10

20

30

40

50

る。すなわち、ネットワークを構成するための外部バス 2, 3 が 16 ビットから 128 ビットのバス幅まで対応する同期型とされており、シーケンサ及びステートマシン 85 は、この外部バスに適用されるために、バス幅に応じて用意されている 3 種類の内の一のステートマシンを有して構成されている。これにより、シーケンサ及びステートマシン 85 は、全てのコンビネーションを常に持たなくてもよいようにシステム毎に回路構成される。

【0098】このシーケンサ及びステートマシン 85 は、データの転送終了後、転送終了 (End Of Transfer) 信号を優先チャンネルセクター 52 へ送る。これにより優先チャンネルセクター 52 では次のキューを選択する作業が開始される。

【0099】このような DMA 53 により、CPU 1 が内蔵するマスター 6 は、上述したような中央集中調停等といったデータの転送のセットアップ或いは初期化 (Initialization) を実現している。

【0100】一方、モジュール 4 (I/F 7) 側では、図 10 に示すように、内蔵の DMA 62 によってデータの転送処理を行う。このモジュール 4 の DMA 62 は、例えば、転送プロトコルの受け側となるバージョンの DMA である。具体的には、送信側であれば、モジュール 4 は、この DMA 62 により、制御線 71 を介して送られてくる送信側のアドレス情報に基づいて、データを送信する処理を行い、受信側であれば、モジュール 4 は、この DMA 62 により、制御線 71 を介して送られてくる受信側のアドレス情報に基づいて、データを受信する処理を行う。

【0101】モジュール 4 の DMA 62 の具体的な構成例を図 12 に示す。図 11 に示すマスター 6 側の DMA 53 と比べると構造の複雑さがなくなっており、これは、例えば、中央集中調停等といったデータの転送の際の初期化のためのアドレス情報等をバスにドライブする必要がなくなるからである。一方で、モジュール 4 側の DMA 62 は、アドレス情報等の初期化データを受けするためのコマンドインプットレジスタ (Command Input Register) 91 を備えている。そして、モジュール 4 は、キュー・ラウンドロビン・スレーブ (Queue Round-Robin Slave) が、CPU 1 側のキューマネージャ 51 内のキュー・ラウンドロビン・マスター (Queue Round-Robin Master) 58 と対となって、キューバス 72 を制御しながらデータをやりとりする。

【0102】図 13 には、バスインターフェースの具体的構成を示している。ここで示すバスインターフェースは、図 10 に示すように、マスター 6 が第 1 及び第 2 の外部バス 2, 3 に対応して備える 2 つのバスインターフェース 54, 55 や、モジュール 4, 5 が備えるバスインターフェース 61 である。

【0103】バスインターフェースは、2 つの内部アウ

トプットドライバ (Internal Output Driver 64b) 101, 102、外部アウトプットドライバ (External Output Driver) 103、アウトプットレジスタ (Output Register For Initialization) 104、インプットデータバッファ (Input Data Buffer 32b) 105 及びアウトプットデータバッファ (Output Data Buffer 32b) 106 を備えている。

【0104】2 つの内部アウトプットドライバ 101, 102 は、内部バス用のバスドライバであり、内部アドレス (Internal Address) 用のバス 107 と内部データ (Internal Data) 用のバス 108 に対応して用意されている。例えば、内部データ用のバス 108 をドライブする内部アウトプットドライバ 101 は、インプットデータバッファ 105 に記憶されている MUX アドレス及びデータバス 73 からの外部データを、内部データ用のバス 108 に送出する。

【0105】この内部アウトプットドライバ 101, 102 は、両方とも、バスインターフェースが搭載されているチップが転送のソース (Source)、すなわちデータ送信側になったときか、ディスティネーション (Destination)、すなわちデータ受信側になったときに使われる。

【0106】アウトプットレジスタ 104 は、マスター 6 側のデータ転送のセットアップ (初期化) のためのものである。すなわち、このアウトプットレジスタ 104 は、マスター 6 側のバスインターフェースでのみ実際に機能する。具体的には、アウトプットレジスタ 104 は、マスター 6 側において、ソースアドレス (Source Address)、ディスティネーション (Destination Address)、及び転送バイト数等を、外部バス 2, 3 上に送出する。

【0107】また、外部アウトプットドライバ 103 は、MUX アドレス及びデータバス 73 を制御するバスドライバである。例えば、外部アウトプットドライバ 103 は、アウトプットデータバッファ 106 に記憶されている内部データ用のバス 108 からの内部データを、MUX アドレス及びデータバス 73 に送出する。

【0108】この外部アウトプットドライバ 103 は、製品システム毎に変える部分である。例えば、外部アウトプットドライバ 103 は、MUX アドレス及びデータバス 73 のバス幅や対応する動作周波数に合わせてバスドライバのサイズが変更される。外部アウトプットドライバ 103 をこのように外部バスのバス幅と動作周波数に応じて変更可能とすることで、外部バスのバス幅と動作周波数とが可変とされてシステムが設計されるような場合には、すべてのコンビネーションをいつも搭載すると無駄が多くなるので、システム毎に対応することにより、消費電力とコストを抑えることができるようになる。

【0109】また、モジュール側のバスインターフェー

スの場合、バスインターフェースは、M U X アドレス及びデータバス 7 3 を介してマスター 6 から送られてくるコマンドインプット (Command Input) 信号を、モジュールの D M A に送る。コマンドインプット信号は、セットアップの時にマスター 6 側から送られてくるもので、この信号に基づいて D M A は、セットアップ動作として、マスターの D M A と同期をとる。これにより、上述したようにデータ転送のための同期タイミングであるサイクルを同期、マスターとモジュールとの間で同期して発生させることができるようになる。

【0110】以上、図 10 乃至図 13 にデータ処理システムの具体的な構成を示した。しかし、これに限定されることはなく、本発明は、可能な限りにおいて他のシステムに適用することができることは言うまでもない。

【0111】

【発明の効果】本発明に係るデータ処理装置は、モジュールがそれぞれ接続された複数のバスと、複数のバスが接続され、異なるバスに接続されているモジュール間で、当該異なるバス間で直接的にデータの転送を行わせるバス制御手段とを備え、バス制御手段により、異なるバスに接続されているモジュール間で、当該異なるバス間で直接的にデータの転送を行わせることにより、無駄な配線 (バス) を必要最小限に抑えて、各モジュール間での通信を可能としている。

【0112】また、本発明に係るデータ処理方法は、異なるバスに接続されているモジュール間で、当該異なるバス間で直接的にデータの転送を行わせることにより、無駄な配線 (バス) を必要最小限に抑えて、各モジュール間での通信を可能としている。

【0113】また、本発明に係るバス制御装置は、モジュールがそれぞれ接続されたバスが接続される複数のバス接続部と、バス接続部に接続された異なるバスに接続されているモジュール間で、当該異なるバス間で直接的にデータの転送を行わせるバス制御手段とを備え、バス制御手段により、バス接続部に接続された異なるバスに接続されているモジュール間で、当該異なるバス間で直接的にデータの転送を行わせる。これにより、バス制御装置は、無駄な配線 (バス) を必要最小限に抑えて、各モジュール間での通信を可能としている。

【図面の簡単な説明】

【図 1】本発明の実施の形態であるデータ処理システムの構成を示すブロック図である。

【図 2】本発明の効果を説明するために使用した、本発明の実施の形態のデータ処理システムと、従来のデータ処理システムの構成とを示すブロック図である。

【図 3】本発明の実施の形態であって、サブネットワークを備えたデータ処理システムの構成を示すブロック図である。

10 【図 4】データ処理システムの具体的な構成を示すブロック図である。

【図 5】16 ビットのバス幅及び 25 MHz の動作周波数の外部バスに応じたバスドライバ及びステートマシンを示すブロック図である。

【図 6】種々のバス幅及び動作周波数を有する外部バスに応じたバスドライバ及びステートマシンを示すブロック図である。

20 【図 7】種々のバス幅及び動作周波数を有する外部バスに応じたバスドライバ及びステートマシンを示すブロック図である。

【図 8】ステートマシンが各サイクルにおいて行う処理を示すものであって、転送モードがバーストモードの場合の処理を示す図である。

【図 9】ステートマシンが各サイクルにおいて行う処理を示すものであって、転送モードがバススルーモードの場合の処理を示す図である。

【図 10】データ処理システムのより具体的な構成を示すブロック図である。

30 【図 11】データ処理システムのマスターの D M A の具体的な構成を示すブロック図である。

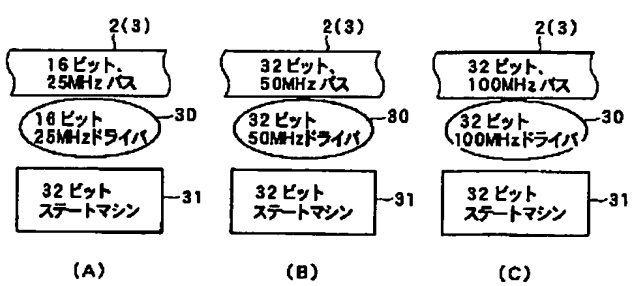
【図 12】データ処理システムのモジュールの D M A の具体的な構成を示すブロック図である。

【図 13】バスインターフェースの具体的な構成を示すブロック図である。

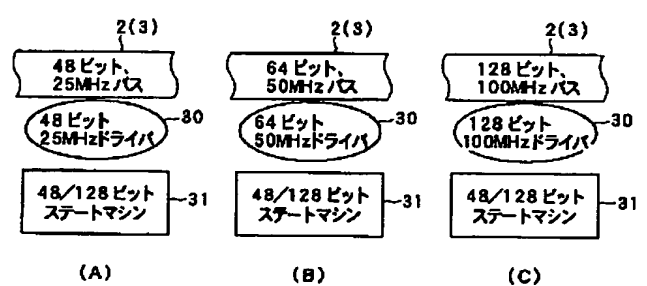
【符号の説明】

1 CPU、2、3 外部バス、4<sub>1</sub>、4<sub>2</sub>、5<sub>1</sub>、5<sub>2</sub>、モジュール、6 マスター、7<sub>1</sub>、7<sub>2</sub>、7<sub>3</sub>、7<sub>4</sub>、I/F

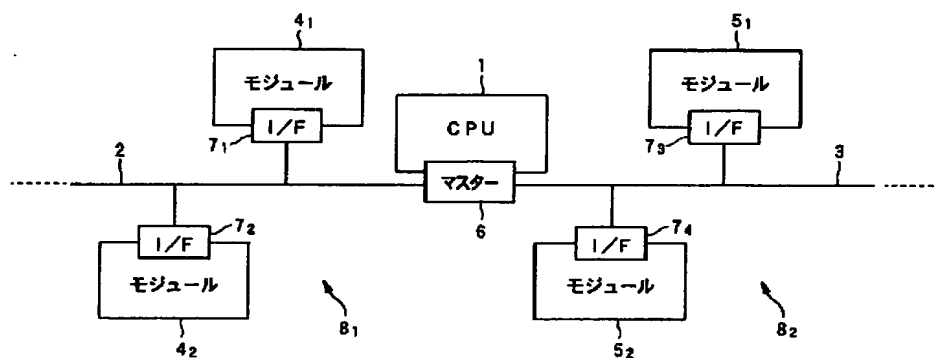
【図 6】



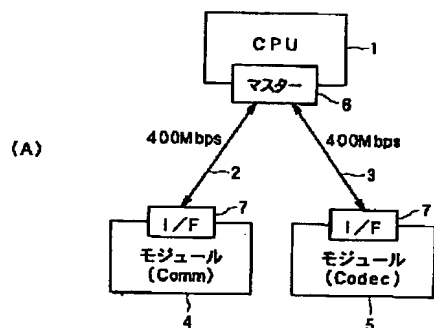
【図 7】



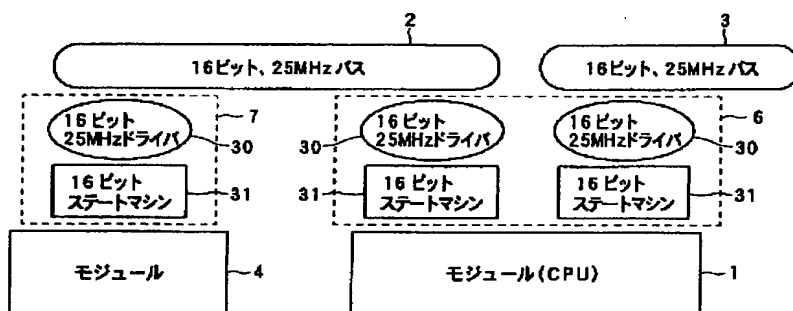
【図1】



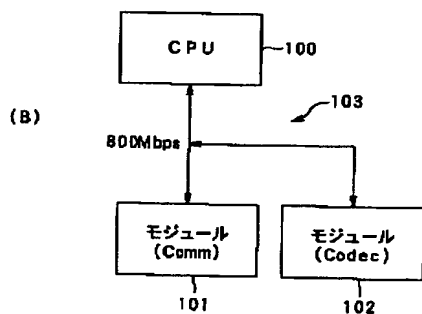
【図2】



【図5】



【図8】



(A)

cycle	BUS 16
1	Int req → Mstr
2	addr16H + RW
3	addr16L
4	# bytes16
5	(data16)

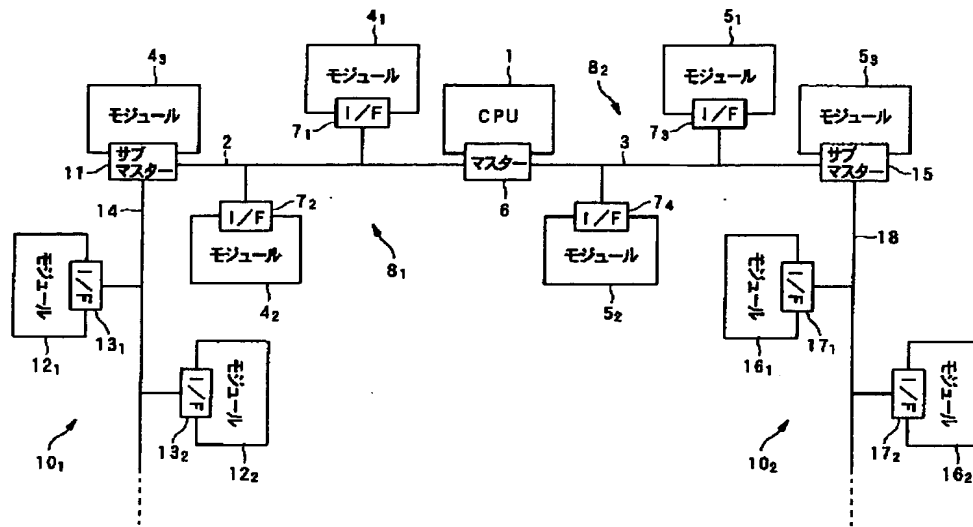
(B)

cycle	BUS 32
1	Int req → Mstr
2	addr32
3	# bytes16
4	(data16)
5	

(C)

cycle	BUS 48~128
1	Int req → Mstr
2	addr32, bytes16
3	(data64 write)
4	(data64 read)
5	

【図3】



【図9】

(A)

cycle	BUS 16
1	Int req → Mstr
2	src16H
3	src16L
4	dst16H
5	dst16L
6	# bytes16
7	(data16)

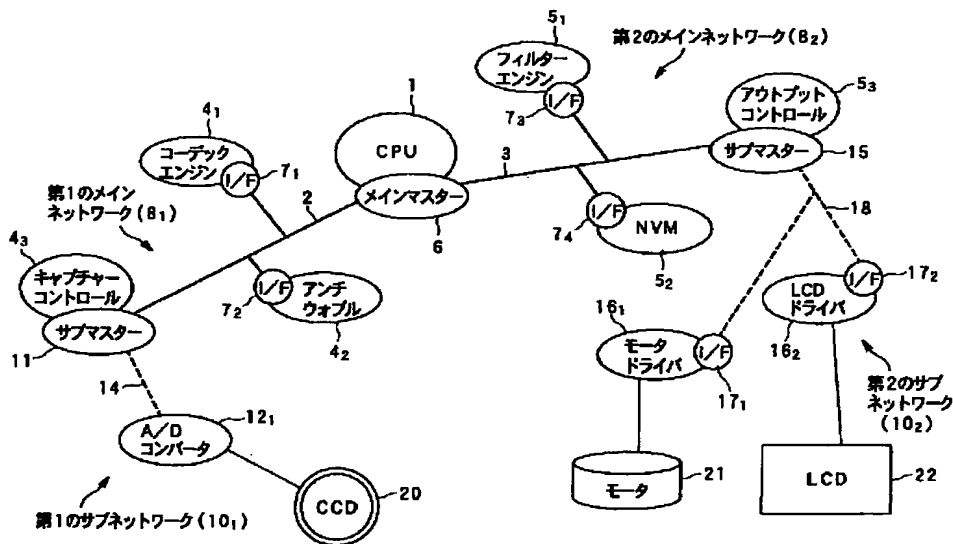
(B)

cycle	BUS 32
1	Int req → Mstr
2	src32
3	dst32
4	# bytes16
5	(data32)
6	
7	

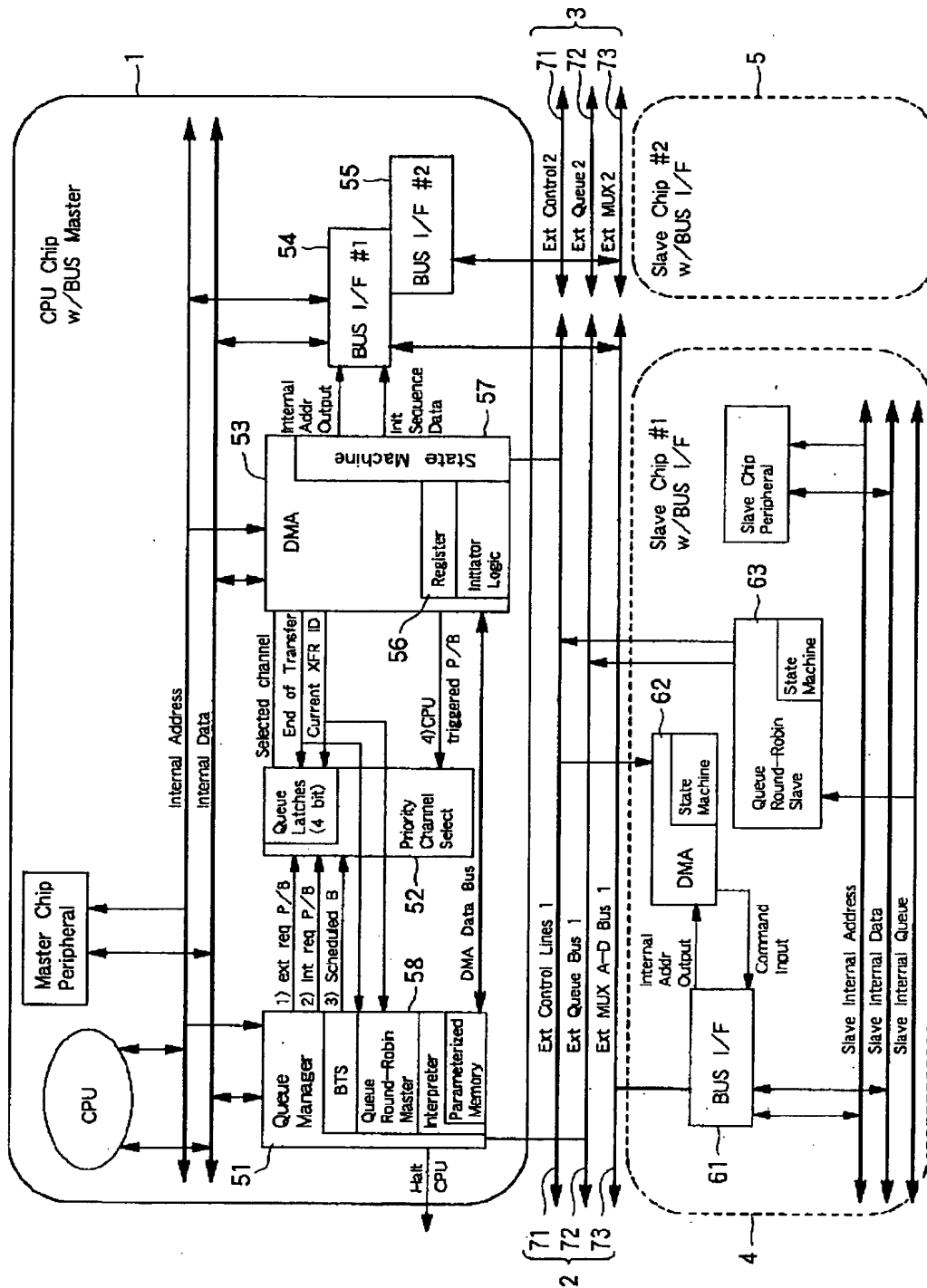
(C)

cycle	BUS 48~128
1	Int req → Mstr
2	src32, bytes16
3	dst32
4	(data84)
5	
6	
7	

【図4】

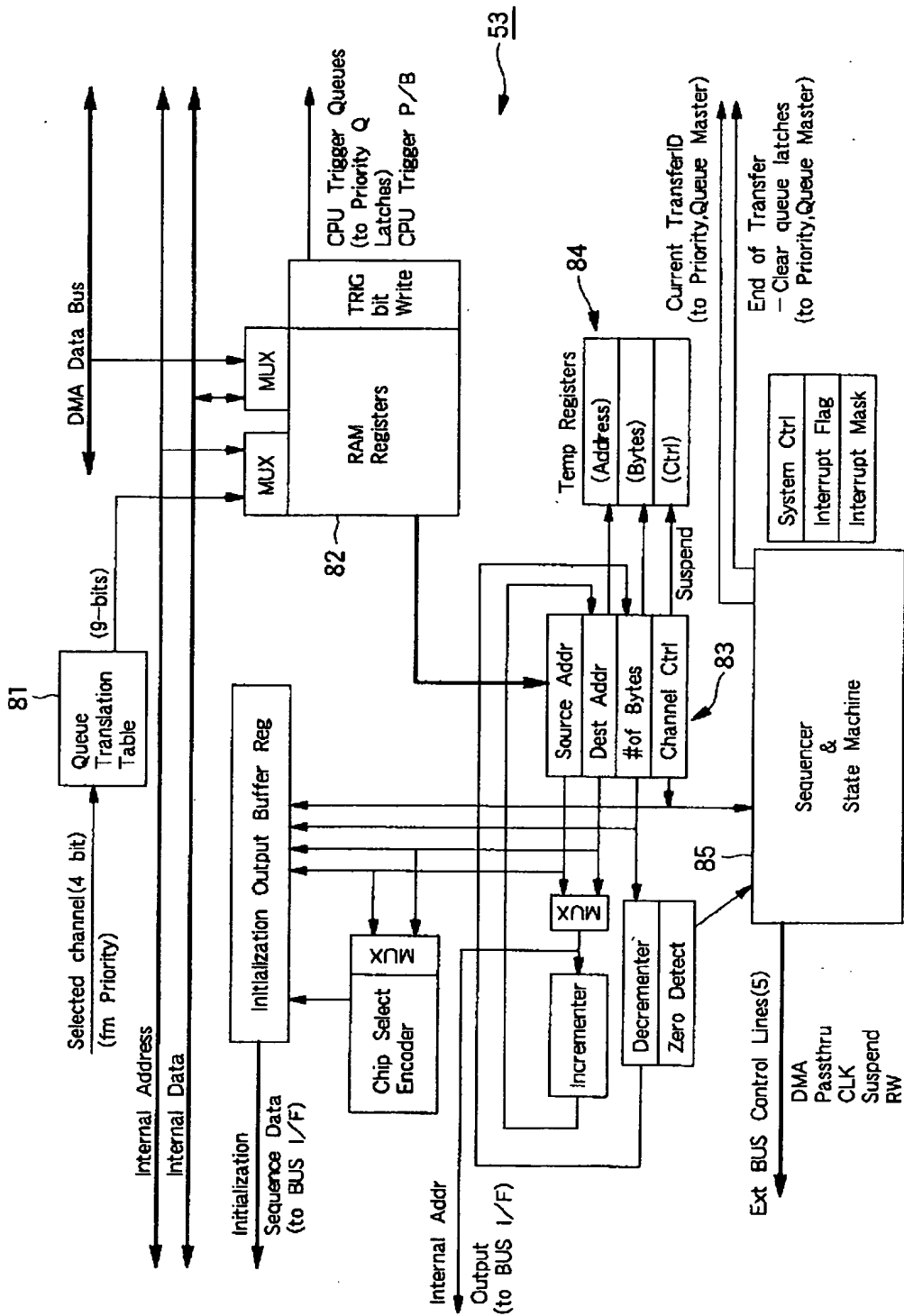


【図10】

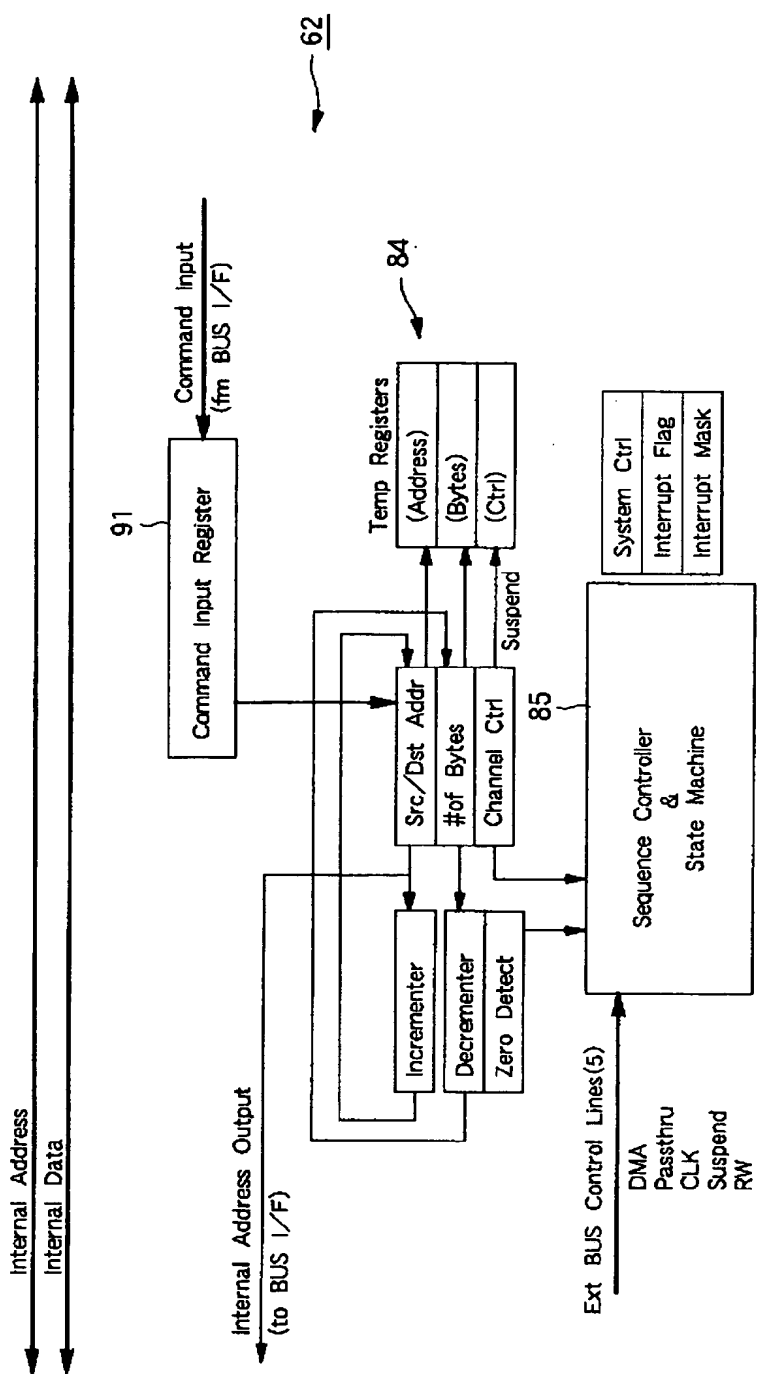




【図11】



【図12】



【図 13】

